

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 08-294005

(43)Date of publication of application : 05.11.1996

(51)Int.Cl.

H04N 1/405
B41J 2/52

(21)Application number : 07-096790

(71)Applicant : FUJI XEROX CO LTD

(22)Date of filing : 21.04.1995

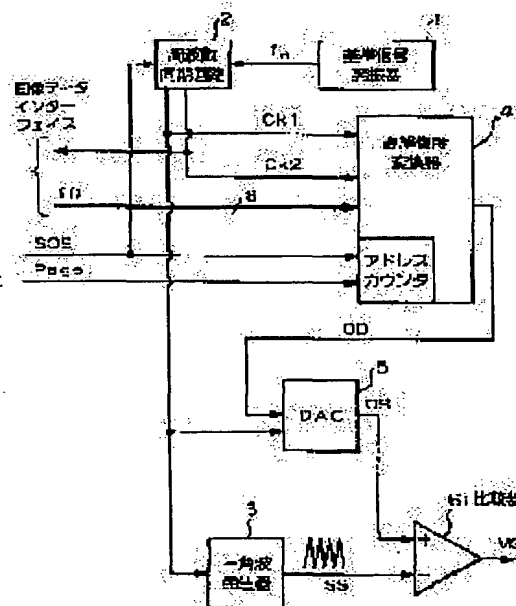
(72)Inventor : ISHII AKIRA
MORIYA HIDEKI

(54) IMAGE PROCESSING UNIT

(57)Abstract:

PURPOSE: To provide the image processing unit in which an image with a dot structure and a high dot density is allowed to generate in an image output which reproduces an intermediate tone image by the pulse width modulation system, and an output image close to a print image can be obtained.

CONSTITUTION: When image data ID in 16dpm is received synchronously with a 18MHz clock, a high resolution converter 4 applies high resolution processing to input image data on the basis of a 36MHz clock Ck1, applies weighting to image data of each picture element forming a picture element block corresponding to a dot structure and provides an output of the result as image data OD in 32dpm. The image data OD are converted into an analog signal OS by a D/A converter 5 and a comparator 6 compares the signal OS with a reference waveform signal SS in 32dpm to provide an output of a pulse width modulation signal MS.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

特開平 8-294005

(43) 公開日 平成8年(1996)11月5日

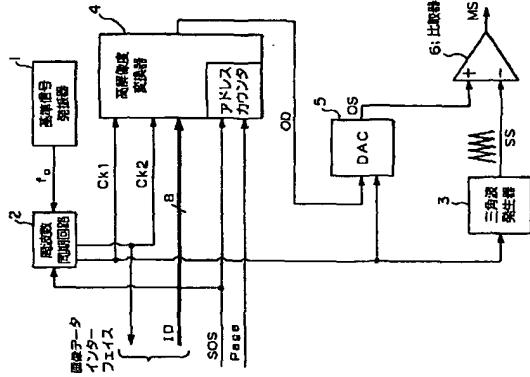
(5) Int. Cl. ⁶	識別記号	片内整理番号	F I	技術表示箇所
H 0 4 N	1/405		H 0 4 N	B
B 4 1 J	2/52		B 4 1 J	A
密 査 請 求 未 請 求 請 求 項 の 数 2 O L (全 8 頁)				
(21) 出願番号	特願平7-96730	(71) 出願人	000005496	
(22) 出願日	平成7年(1995)4月21日	富士ゼロックス株式会社		
		東京都港区赤坂二丁目17番22号		
		石井 昭		
		発明者		
		神奈川県老名市本郷2274番地 富士ゼロックス株式会社内		
		守 屋 秀 樹		
		発明者		
		神奈川県老名市本郷2274番地 富士ゼロックス株式会社内		
		代理人	井 理 士 川 ▲ 崎 ▼ 研 二 (外1名)	

(54) 【発明の名称】 画像処理装置

(57) 【要約】

【目的】 バルス幅変調方式によって中間画像を再現する画像出力において、網点密度の高い網点構造の画像形成を可能とし、印刷画像に近似した出力画像を得ることができ画像処理装置を提供する。

【構成】 1.8MHzのクロックCk2に同期して16dpmの画像データIDが入力されると、高解像度変換器4は、3.6MHzのクロックCk1に基づき、入力画像データを高解像度化した後、画素ブロックを構成する各画素の画像データに対し網点構造に対応した重み付けをし、この結果を3.2dpmの画像データODとして出力する。そして、この画像データODは、D/A変換器5によってアナログ信号OSに変換された後、比較器6において3.21pμmの基準波形信号SSと比較され、バ



(2) 特開平 8-294005

1

【特許請求の範囲】

【請求項1】 外部より供給される多値のディジタル画像データをアナログ信号に変換し、該信号を所定周期の基準波形信号と比較してバルス幅変調する画像処理装置において、

前記画像データの解像度を主走査方向に拡大する高解像度化手段と、前記拡大された画像データを複数画素からなる画素ブロックにまとめ、これら画素ブロックを同期とする網点構造を形成すべく、各画素ブロックの画像データに対し、各々の画素ブロック内の画素位置に対応した重み付けをする網点構造形成手段とを具備することを特徴とする画像処理装置。

【請求項2】 外部より供給される多値のディジタル画像データをアナログ信号に変換し、該信号を所定周期の基準波形信号と比較してバルス幅変調する画像処理装置において、

デュエティ比の異なる2種以上のバルス信号を発生し、これらバルス信号を複合した複合信号に対応した基準波形信号を生成する複合基準信号生成手段と、

走査ライン毎に前記基準波形信号の位相を制御する位相制御手段とを具備することを特徴とする画像処理装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 この発明は、例えばディジタル複写機やフルカラープリンタにおいて階調性を損なわずに印刷のような網点構造の画像を形成することができる画像処理装置に関する。

【0002】

【従来の技術】 従来のディジタル複写機では、画像の解像度と階調性を両立させるため、例えば特開昭62-39972号等に記載されているように、ディジタル画像データを一旦アナログ信号に変換し、三角波等の周期的な基準波形信号と比較するバルス幅変調方式が主として採用されている。このバルス幅変調方式においては、図17に示すように、ドットパターンが副走査方向につながるため、90°のラインスクリーニングの縞線状の画像構造となる。

【0003】 ところで、上記のようなバルス幅変調方式を採用したディジタル複写機やフルカラープリンタにおいても、印刷のような網点画像を出力したいという要求があり、従来からこうした要求に応えようとする技術が提案されている。例えば特開平2-155770号には、一走査毎に基準波形信号の位相と振幅を変化させる制御を一定の周期で繰り返すことにより網点状の画像構造を形成する、という技術が開示されている。

【0004】

【発明が解決しようとする課題】 しかしながら、上記特開平2-155770号に示される従来技術によれば、網点構造の画像形成が可能となるものの、その一方で解

像度が犠牲になる。例えば、入力画像の解像度が16dpm (dot/mm) 程度の場合、上記従来技術では、得られる網点構造の密度が粗く、印刷の場合に要求されるような画質を得ることができないという問題があった。

【0005】 この発明は、このような背景の下になされたもので、バルス幅変調方式によって中間画像を再現する画像出力において、網点密度の高い網点構造の画像形成を可能とし、印刷画像に近似した出力画像を得ることができ画像処理装置を提供することを目的としている。

【0006】

【課題を解決するための手段】 上述した課題を解決するために、請求項1記載の発明は、外部より供給される多値のディジタル画像データをアナログ信号に変換し、該信号を所定周期の基準波形信号と比較してバルス幅変調する画像処理装置において、前記画像データの解像度を主走査方向に拡大する高解像度化手段と、前記拡大された画像データを複数画素からなる画素ブロックにまとめ、これら画素ブロックを同期とする網点構造を形成すべく、各画素ブロックの画像データに対し、各々の画素ブロック内の画素位置に対応した重み付けをする網点構造形成手段とを具備することを特徴としている。

【0007】 また、請求項2記載の発明は、外部より供給される多値のディジタル画像データをアナログ信号に変換し、該信号を所定周期の基準波形信号と比較してバルス幅変調する画像処理装置において、デュエティ比の異なる2種以上のバルス信号を発生し、これらバルス信号を複合した複合信号に対応した基準波形信号を生成する複合基準信号生成手段と、走査ライン毎に前記基準波形信号の位相を制御する位相制御手段とを具備すること

【0008】

【作用】 請求項1記載の発明によれば、高解像度化手段は、外部より供給される画像データの解像度を主走査方向に拡大し、網点構造形成手段は、この拡大された画像データを複数画素からなる画素ブロックにまとめ、各画素ブロックの画像データに対し、各々の画素ブロック内の画素位置に対応した重み付けをすることにより、画素ブロックを同期とする網点構造を形成する。これにより、バルス幅変調方式によって中間画像を再現する画像出力において、出力画像の解像度を高めつつ画素ブロックを同期とする所望の網点構造を形成することができ

【0009】 また、請求項2記載の発明によれば、複合基準信号発生手段は、デュエティ比の異なる2種以上のバルス信号を発生して、これらバルス信号を複合した複合信号に対応した基準波形信号を生成し、位相制御手段は、走査ライン毎に上記生成された基準波形信号の位相を制御する。これにより、バルス幅変調方式によって中

20

30

40

50

明するためのタイミングチャートである、この図において、アドレスカウンタ41は、図示しないラインカウンタと画素カウンタから構成されており、ラインカウンタは、信号PageがHighレベルとなってからタイミ

ングパルスSOSのカウンタを開始し、タイミグパルスSOSが入力される毎に、1、2、3、4、0、1、2……というサイクルでカウンタ値CN1を出力する。一方、画素カウンタは、タイミグパルスSOSが入力される16dpm画素用のクロックCk2のカウンタを開始し、このクロックCk2が入力される毎に、1、2、3、4、0、1、2……というサイクルでカウンタ値CN2を出力する。

【0016】すなわち、これら2つのカウンタ出力CN1、CN2により5×5の画素ブロック内のアドレス(以下、画素ブロックアドレスという)ADが定まり、画素ブロックアドレスの第2桁はラインカウンタの値CN1、第1桁は画素カウンタの値CN2によって定義される。また、第2桁と第1桁はそれぞれ0から4の5値をとるので、各々3ビットずつ合計6ビットで表現可能であるが、データ数は5×5=25通りであるので、5ビットで表現される。

【0017】また、メモリ回路42、43には、一画素を右画素と左画素に分割したときの左右の各画素に対応した入力データレベルが各々記憶されている。これら出入力データレベルは、画素ブロックを周期とした端点構造を形成すべく、入力画像データ1Dに対してその画素ブロックアドレスADに応じた重み付けをした画像データの出力値が保持されている。

【0018】すなわち、各メモリ回路42、43に5ビットの画素ブロックアドレスADと8ビットの画像データ1Dが入力されると、互いに異なる重み付けがなされ左画素と右画素の画像データLD、RDがメモリ回路42、43から各々読み出される。そして、これら左右二画素の画像データLD、RDは、各々16dpm画素用のクロックCk2と同期してラッチ回路44、45に一旦保持された後、セレクト46によって32dpm画素用のクロックCk1(上記クロックCk2と同期する2倍の高解像度のクロック)と同期して交互に選択され、2倍に高解像度化された端点構造の画像データODとして出力される。

【0019】(2)実施例の全体動作

次に、図4を参照し、この実施例の全体動作を説明する。図4はこの実施例の全体動作を説明するためのタイ

ミングチャートである、この図において、クロックCk2とともに16dpmの画像データ1D(例えば、値「100」)が入力されると、高解像度変換器4は、クロックCk1に基づき、入力画素を左右2画素に分割し(すなわち、主走査方向に高解像度化し)、各々の画素に対して端点構造に対応した異なる重み付けをした後、32dpmの画像データODを出力する。そして、この

32dpmの画像データODを出力する。そして、この

出力画像データODは、D/A変換器5によってアナログ信号OSに変換された後、比較器6において321pの基準波形信号SSと比較され、パルス幅変調信号MSとして出力される。

【0020】このように、本実施例においては、例えば図5に示すような十字型の端点構造を形成する場合に、十字の中央部で画像データを大きな値とし、十字の周辺部で小さな値となるよう左右画素に対して重み付けをすることができると、図6に示すような画像構造を得ることができると、図示の中間画素は画素内のドット幅を模式的に表したものである)。この画像構造は、印刷端点の表現によれば182線、63.4°の端点となり、一般の直線印刷に相当する画像構造となる。

【0021】B：第2実施例

次に、この発明の第2実施例について説明する。

(1)実施例の構成

図7はこの発明の第2実施例による画像処理装置の構成を示すブロック図である、この図において、31は画像信号入力部であり、入力画像を多値のデジタル画像データ1DとしてD/A変換器35へ出力する。D/A変換器35は、画像信号入力部31から画素クロック信号Ckに同期して供給される画像データ1Dをアナログ信号ASに変換し、これを比較器33へ出力する。【0022】32は複合信号発生部であり、画素クロック信号Ckに基づきデューティ比の異なるパルス信号を生成し、これを複合した複合信号MPを出力する。また、34は位相補調器であり、入力画像の1ライン毎に供給される走査開始信号SCに依り、複合信号発生部32から出力される複合信号MPの位相を制御する。さらに、36は三角波変換回路であり、位相補調器34によって位相を制御された複合信号MP'を三角波(以下、複合三角波信号という)TSに変換し、これを比較器33へ出力する。

【0023】比較器33は、D/A変換器35から出力されるアナログ信号ASを三角波変換回路36から出力される複合三角波信号TSと比較することによりパルス幅変調し、得られるパルス幅変調信号OSを出力する。【0024】次に、図8および図9を参照し、複合信号発生部32の詳細を説明する。図8は複合信号発生部32の構成を示すブロック図である、この図において、複合信号発生部32は、分周回路61a、61bと合成回路62a、62bから構成されており、画素クロック信号Ckを異なるデューティ比で分周した信号を合成することにより複合信号MPを生成する。

【0025】すなわち図9に示すように、分周回路61aは、画素クロック信号Ckをデューティ比1:7で4分周した信号P1を出力する。一方、分周回路61bは、画素クロック信号Ckをデューティ比1:1で4分周した信号P2を出力する。そして、合成回路62aは、上記信号P1、P2のORをとることにより複合信

号MPを生成する。また、合成回路62bは、上記信号P1、P2に基づき、三角波変換器36へ供給すべき信号選択信号CS1、CS2を生成する。

【0026】次に、図10を参照し、位相補調器34の詳細を説明する。図10に示すように、位相補調器34は、多段接続された複数の遅延回路71a~71eと、各段の遅延回路の出力を走査開始信号SCに依り選択的に出力する遅延回路72によって構成されている。そして、1つの遅延回路による遅延を2画素分とし、走査ライン毎に、遅延回路71aの出力、遅延回路72bの出力、遅延回路72cの出力、……というように各遅延回路71a~71eの出力を選択回路72によって順次選択することにより、1ライン毎に位相が2画素分シフトした複合信号MP'を出力する。

【0027】次に、図11および図12を参照し、三角波変換回路36の詳細を説明する。図11に示すように、三角波変換回路36は、複合信号MP'の各成分に、三角波変換回路36は、複合信号MP'の各成分に対応した波形をもつ三角波を生成すべく、コンデンサC1~C3からなる3つの積分回路によって構成され、このうちコンデンサC2、C3に対応する積分回路は、前述の容量選択信号CS1、CS2によってオンオフ制御され、複合信号MP'の区間に対応して合成容量が切り替わるようになっている。例えば図12に示すように、2つの容量選択信号CS1、CS2によって、複合信号MP'の区間AではコンデンサC1、区間BではコンデンサC1+C2、区間CではコンデンサC1+C3による合成容量がそれぞれ与えられ、各々の区間における合成容量に対応した波形を有する複合三角波信号TSが生成される。

【0028】(2)実施例の全体動作

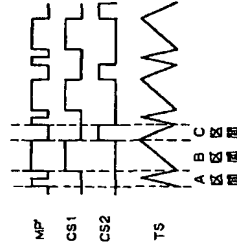
次に、図13および図14を参照し、この実施例の全体動作を説明する。図13に示すように、複合信号発生部32が画素クロック信号Ckに基づき複合信号MPを生成すると、三角波変換回路36は、この複合信号MPに対応した複合三角波信号TSを生成する。この複合三角波信号TSによって入力画像信号ASがパルス幅変調され、1ラインのドットパターンOSが生成される。また、複合信号MPの位相は、位相補調器34によって一定周波でライン毎に2画素分遅延されることから、結果的に図14に示すような端点画像が得られる。この図に示す画像構造は、印刷端点の表現によれば179線、63°となる。

【0029】また、例えば図15に示すように、複合信号発生部32が2種類の複合信号MP1、MP2を1ラインおきに交互に切り替えて生成するようにすれば、複合三角波信号TS1、TS2に基づき、2種類のドットパターンOS1、OS2が交互に得られ、結果として図16に示すような端点画像が得られる。

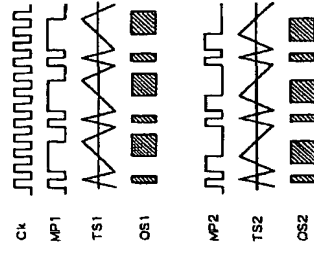
【0030】C：変更例

(1)既述した2つの実施例では、基準波形信号として

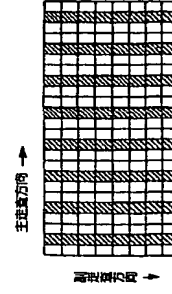
【図12】



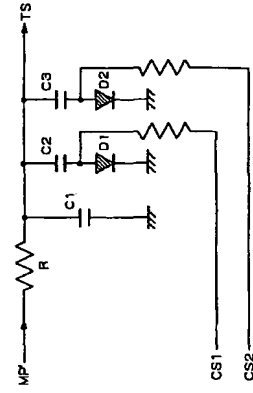
【図15】



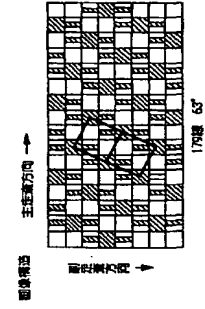
【図17】



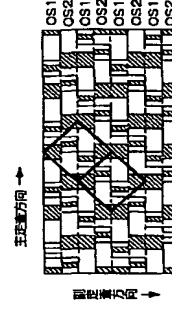
【図11】



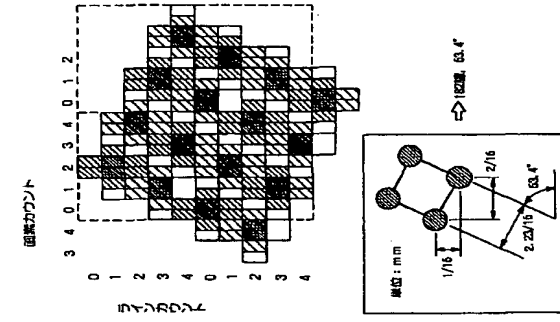
【図14】



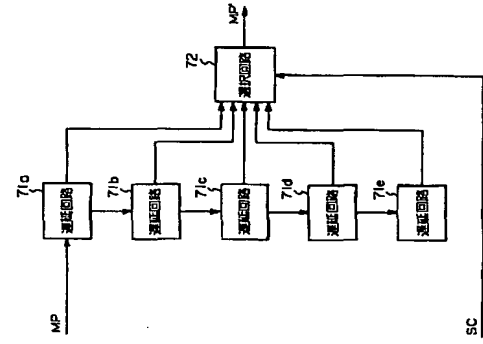
【図16】



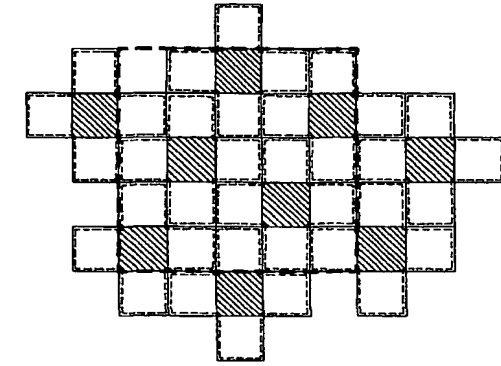
【図6】



【図10】



【図5】



【図7】

